

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061198

(43)Date of publication of application : 04.03.1994

(51)Int.Cl. H01L 21/302  
 C23C 14/56  
 C23C 16/02  
 C23F 4/00  
 C30B 25/02  
 G09F 9/30  
 H01L 21/205  
 H01L 29/784

(21)Application number : 04-212554

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.08.1992

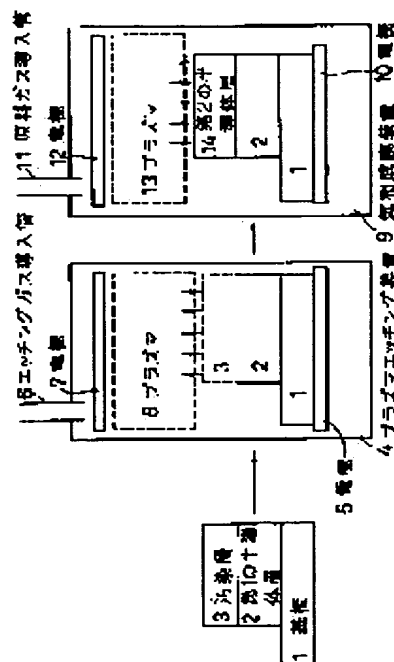
(72)Inventor : TAKIZAWA YUTAKA  
 YANAI KENICHI  
 OKI KENICHI

## (54) MANUFACTURE OF THIN FILM DEVICE

## (57)Abstract:

**PURPOSE:** To provide a method of manufacturing a thin film device, where the surface of a thin film is cleaned without causing damage to it and then kept clean until following process.

**CONSTITUTION:** A thin film device manufacturing method includes a process where a silicon or germanium-containing semiconductor layer 2 or a conductive film which contains either oxide conductive material or nitride conductive material is formed on an insulating substrate, and tone semiconductor layer 2 or the conductive film is exposed to plasma 8 which contains one or more elements or compounds of hydrogen, chlorine, fluorine, bromine, or iodine to remove a contaminant layer 3 formed on the surface, where the substrate is kept below a temperature where the diffusion rate of hydrogen or the like into oxide or the like becomes equal to the adsorption rate of that to the surface of the oxide or the like when the semiconductor layer 2 or the conductive film is exposed to plasma.



## LEGAL STATUS

[Date of request for examination] 13.11.1998

[Date of sending the examiner's decision of rejection] 07.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-61198

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/302	N	9277-4M		
C 2 3 C 14/56		8520-4K		
16/02		7325-4K		
C 2 3 F 4/00	A	8414-4K		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 F

審査請求 未請求 請求項の数5(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-212554

(22)出願日 平成4年(1992)8月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 籠澤 裕

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 梁井 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 沖 賢一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

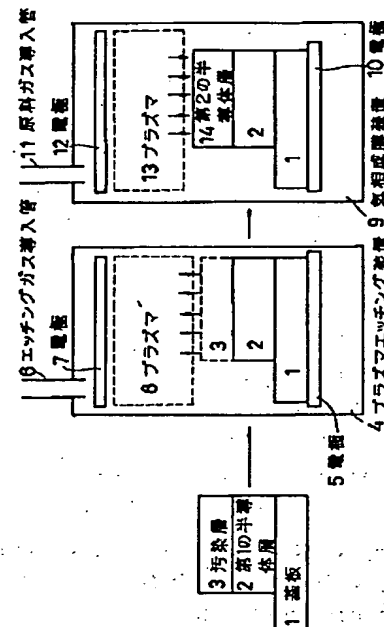
(54)【発明の名称】 薄膜素子の製造方法

(57)【要約】

【目的】 薄膜素子の製造方法に関し、損傷を生じることなく薄膜の表面を清浄化した後、次の工程で成膜するときまで清浄な表面を保ち得る薄膜素子の製造方法を提供する。

【構成】 絶縁基板1の上に形成された少なくともシリコンまたはゲルマニウムを含んだ半導体層2、あるいは、酸化物導電性物質または窒化物導電性物質のいずれか一方を含む導電性被膜を、少なくとも水素、塩素、フッ素、臭素または沃素のうちの1種またはそれ以上の単体もしくは化合物を含んだプラズマ8に曝すことによって、表面の汚染層3を除去する工程を有する薄膜素子の製造方法において、この半導体層2あるいは導電性被膜をプラズマに曝すときの基板温度を、上記の酸化物等への水素等の内部への拡散速度が、その表面への吸着速度と等しい温度以下に保つ。

本発明の薄膜素子の製造方法の原理説明図



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された少なくともシリコンまたはゲルマニウムを含んだ半導体層を、少なくとも水素、塩素、フッ素、臭素または沃素のうちの1種またはそれ以上の単体もしくは化合物を含んだプラズマに曝すことによって、該半導体層の表面の汚染層を除去する工程を有する薄膜素子の製造方法において、該半導体層をプラズマに曝すときの基板温度を、該酸化物、窒化物への水素、フッ素、塩素、沃素、臭素の少なくともいずれか一つの内部への拡散速度が、その表面への吸着速度と等しい温度以下にすることを特徴とする薄膜素子の製造方法。

【請求項2】 絶縁性基板上に形成された酸化物導電性物質または窒化物導電性物質のいずれか一方を含む導電性被膜を、少なくとも水素、塩素、フッ素、臭素または沃素のうちの1種またはそれ以上の単体もしくは化合物を含んだプラズマに曝すことによって、該導電性被膜の表面の汚染層を除去する薄膜素子の製造方法において、該導電性被膜をプラズマに曝すときの温度を、該酸化物、窒化物への水素、フッ素、塩素、沃素、臭素の少なくともいずれか一つの内部への拡散速度が、その表面への吸着速度と等しい温度以下にすることを特徴とする薄膜素子の製造方法。

【請求項3】 絶縁性基板上に少なくとも酸化物導電性物質または窒化物導電性物質のいずれか一方を含む導電性被膜と半導体層が存在し、該導電性被膜の上に、該導電性被膜がプラズマによって損傷を受けるのを防ぐための保護層を設けることを特徴とする請求項1または請求項2に記載の薄膜素子の製造方法。

【請求項4】 保護層を第1の半導体層と同時に形成することを特徴とする請求項3に記載された薄膜素子の製造方法。

【請求項5】 表面の清浄化を行うための反応室と、その後の成膜を行う成膜室を別に設けて両者を接続することを特徴とする請求項1または請求項2に記載された薄膜素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜素子、特に、薄膜素子を用いたアクティブマトリクス表示装置の製造方法に関する。

## 【0002】

【従来の技術】 近年、テレビ、コンピュータ、ワードプロセッサ等の表示手段として、高階調で高精細な表示を実現する省スペース型表示装置が要求されている。このため、薄膜トランジスタを用いたアクティブマトリクス表示装置が提供されており、情報端末装置等において広い範囲で適用されている。しかし、より表示品位の優れた表示装置を実現するためには、より特性の優れた薄膜素子が必要となっている。

【0003】 従来から、液晶表示装置等に用いられる薄膜スイッチング素子は、薄膜をパターニングすることによって形成されている。ところが、薄膜をパターニングするには、フォト工程やエッチング工程等を経なければならず、薄膜の表面にはこれらの工程を経る間に、薄膜表面に接する物質、例えば酸素や炭素等による酸化物や炭化物等の電気抵抗の高い物質によって覆われていた。

【0004】 したがって、液晶を駆動するための電圧を液晶に伝達しにくくなり、そのために、薄膜素子サイズを大きくして電気抵抗を低減せざるを得ず、その結果として薄膜素子以外の光を透過させる領域の面積、すなわち開口率が低下するという問題を生じていた。この問題に鑑み、従来から、緩衝弗酸等のエッチング液に薄膜を有する基板を浸漬して、薄膜の表面に形成されてたSiO<sub>2</sub>等の汚染層を除去することが考えられている。

## 【0005】

【発明が解決しようとする課題】 しかし、このような従来の汚染除去工程には、エッチングの後、緩衝弗酸等のエッチング液を洗い流すための純水による洗浄や、それに続く基板の乾燥工程を含むために、次の工程で成膜を行うまでの間に、薄膜の表面が再び汚染されてしまうという問題が生じていた。

【0006】 また、リアクティブイオンエッチング(RIE)に代表されるドライ処理は、真空中で表面を清浄化したのち、表面の再汚染を生じる前に成膜を行なうことができる点では優れているが、基板にイオン等の高速粒子が入射して損傷を与える等の問題を生じていた。本発明は、損傷を生じることなく薄膜の表面を清浄化した後、次の工程で成膜するときまで清浄な表面状態を保ちうる薄膜素子の製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明にかかる薄膜素子の製造方法においては、前記の課題を解決するため、絶縁性基板上に形成された少なくともシリコンまたはゲルマニウムを含んだ半導体層を、少なくとも水素、塩素、フッ素、臭素または沃素のうちの1種またはそれ以上の単体もしくは化合物を含んだプラズマに曝すことによって、該半導体層の表面の汚染層を除去する工程を有する薄膜素子の製造方法において、該半導体層をプラズマに曝すときの基板温度を、該酸化物、窒化物への水素、フッ素、塩素、沃素、臭素の少なくともいずれか一つの内部への拡散速度が、その表面への吸着速度と等しい温度以下にする工程を採用した。

【0008】 また、絶縁性基板上に形成された酸化物導電性物質または窒化物導電性物質のいずれか一方を含む導電性被膜を、少なくとも水素、塩素、フッ素、臭素または沃素のうちの1種またはそれ以上の単体もしくは化合物を含んだプラズマに曝すことによって、該導電性被膜の表面の汚染層を除去する薄膜素子の製造方法において、該導電性被膜をプラズマに曝すときの温度を、該酸

化物、窒化物への水素、フッ素、塩素、酸素、臭素の少なくともいずれか一つの内部への拡散速度が、その表面への吸着速度と等しい温度以下にする工程を採用した。

【0009】これらの場合に、絶縁性基板上に少なくとも酸化物導電性物質または窒化物導電性物質のいずれか一方を含む導電性被膜と半導体層が存在し、該導電性被膜の上に、該導電性被膜がプラズマによって損傷を受けるのを防ぐための保護層を設ける工程を採用した。

【0010】この場合、保護層を第1の半導体層と同時に形成することができる。また、表面の清浄化を行うための反応室と、その後の成膜を行う成膜室を別に設けて両者を接続することもできる。

【0011】

【作用】図1は、本発明の薄膜素子の製造方法の原理説明図である。この図において、1は基板、2は第1の半導体層、3は汚染層、4はプラズマエッチング装置、5はサセプタ兼電極、6はエッチングガス導入管、7は電極、8はプラズマ、9は気相成膜装置、10はサセプタ兼電極、11は原料ガス導入管、12は電極、13はプラズマ、14は第2の半導体層を示している。

【0012】この図によって、本発明の薄膜素子の製造方法の原理を説明する。基板1の上に第1の半導体層2を形成し、この第1の半導体層2の上に、気相成長法によって第2の半導体層、絶縁体層、金属層等の薄膜(説明を簡潔にするため、以下「第2の半導体層」として説明する)14を形成して薄膜素子を形成することを目的とする。

【0013】この第1の半導体層2の上には、第1の半導体層2を形成した後にパターン形成等の工程を経るため、この工程あるいは貯蔵中に曝される雰囲気によって汚染層3が形成されているから、この汚染層3を除去した後に第2の半導体層14を形成することが必要である。

【0014】まず、第1の半導体層2と汚染層3が形成された基板1をプラズマエッチング装置4内のサセプタ兼電極5の上に載置し、プラズマエッチング装置4内を排気した後、エッチングガス導入管6を経てエッチングガスを導入し、サセプタ兼電極5と電極7の間に電圧を印加して放電を生起させてプラズマ8を形成して、第1の半導体層2の表面上の汚染層3をエッチングして清浄化する。この場合、放電と同時にレーザ光や電子線を照射してエッチング効果を高めることもできる。

【0015】次いで、第1の半導体層2の上の汚染層3を除去して清浄化した基板1を気相成膜装置9内のサセプタ兼電極10の上に載置し、気相成膜装置9内を排気した後、原料ガス導入管11を経て原料ガスを導入し、サセプタ兼電極10と電極12の間に電圧を印加して放電を生起させてプラズマ13を形成して、第1の半導体層2の上に第2の半導体層14を成長する。

【0016】本発明においては、エッチングガスのプラ

ズマに曝される第1の半導体層2の温度を200℃以下に保つことを特徴とする。

【0017】プラズマ8中における第1の半導体層2のエッチングレートは、その温度(基板1の温度とほぼ同一である)に強く依存する。例えば、水素によるシリコン基板のエッチングにおいては、水素がシリコン基板と結合し、 $\text{SiH}_4$ 等のシランあるいはポリシラン化して揮発することによって生じるが、シリコン基板の温度が高い場合は、水素はシリコン基板内部に深く拡散するために、表面が(ポリ)シラン化する確率が低くなる。

【0018】ところが、シリコン基板の温度が200℃以下である場合は、水素のシリコン基板中への拡散速度は減少し、シリコン基板の表面の水素の量が多くなって、シリコン基板の表面が(ポリ)シラン化しやすくなる。

【0019】図2は、基板温度とエッチングレートの関係図である。この図は、a-Siの水素プラズマエッチングにおける、基板温度とエッチングレートの関係を示している。この図に示されているように、基板の温度を低くすると、エッチングレートが高くなる傾向があるが、量産段階の製造工程で要求されるエッチングレートから、基板温度を200℃以下にすることが望ましい。この場合のエッチングレートは2Å/分程度である。

【0020】この図は、a-Siを水素プラズマエッチングする場合の実測結果であるが、他の半導体層についてもほぼ同様のエッチング特性を示し、基板温度を200℃以下にすることによってエッチングレートを高くし、効果的な半導体層の表面の清浄化を実現することができる。

【0021】また、本発明に用いるプラズマエッチング装置4と気相成膜装置9として、広く一般に用いられているプラズマCVD装置を用いることができるため、装置開発の負担は少なく、さらに、表面の清浄化工程と成膜工程を同一のプラズマCVD装置内で連続して行うことができ、清浄化した表面の再汚染を完全に防ぐことができる。

【0022】また、接地電極側に被処理基板を置くことによって、重い正イオンの衝撃による損傷を低減することもできる。さらに、基板温度を200℃以下に保っているために、半導体層への水素の浸入に伴って生じる膜質の劣化を防ぐことが可能になる。

【0023】一方、水素や塩素、弗素層のハロゲンのプラズマ中の励起種に対して、酸化物、窒化物等からなる導電膜は活性である。特に、基板温度が高い場合には、導電膜を構成する酸化物あるいは窒化物はプラズマによって還元されたり、あるいはハロゲン化して変質し、結果として導電膜の導電率の低下を引き起こす。

【0024】特に、インジウム酸化物の場合、水素プラズマ中で基板温度を200℃以上にすると、水素によって還元され、抵抗が増大するとともに黒く変色し、光に

対する透過率も減少する。本発明においては、基板温度を200℃以下に保つため、導電膜の変質による特性の劣化は生じない。

【0025】

【実施例】以下、本発明の実施例を説明する。

(第1実施例) 図3は、第1実施例において処理される半導体基板の構成図である。この図において、21は基板、22は導電膜、23は半導体層、24は汚染層を示している。

【0026】このように、基板21の上に導電膜22、半導体層23が形成され、半導体層23の表面には汚染層24が形成されている。この場合、導電膜22は、錫を添加したインジウム酸化物からなる透明導電膜である。

【0027】この実施例においては、基板温度を200℃以下に保った状態で、半導体層23の表面に形成された汚染層24をプラズマエッチングによって除去する際に、導電膜、特に、透明導電膜が変質して、導電性が劣化したり、変色して光の透過率が減少することを防いでいる。

【0028】この実施例においては、透明導電膜として錫を添加したインジウム酸化物を用いているが、これに限ることはなく、酸化錫やNiO等の酸化物導電性物質もしくはTiN等の窒化物導電性物質であっても同様の効果を奏する。

【0029】(第2実施例) 図4は、第2実施例において処理される半導体基板の構成図である。この図において、31は基板、32は透明導電膜、33は半導体層、34は保護膜、35は汚染層を示している。

【0030】この図に示されたものは、第2実施例において処理される半導体基板の構成を示しており、基板31の上に透明導電膜32が形成され、透明導電膜32の上の一部に半導体層33が形成され、半導体層33が形成されていない透明導電膜32の上に、保護膜34が形成されている。また、半導体層33の上には、汚染層35が形成されている。この場合、透明導電膜32は錫を添加したインジウム酸化物であり、保護膜34はSiN膜(Si<sub>3</sub>N<sub>4</sub>から外れた組成をも含んでいる)である。

【0031】このように、透明導電膜32の上の保護膜34を設けているために、プラズマエッチングを行う際に、プラズマと透明導電膜32が直接接触せず、透明導電膜32に対する損傷を低減することができる。

【0032】なお、この実施例では保護膜34をSiN膜としているが、これに限られるものではなく、導電膜を保護できる物質であればよく、これらが2層またはそれ以上の層構造を有していてもよい。また、表面処理の時の基板温度を200℃以下にすることによって、さらに、半導体層、導電体層等の損傷を低減することができる。

【0033】(第3実施例) 図5(A)、(B)、図6(C)、(D)は、第3実施例のスタガ型薄膜トランジスタの製造工程図である。この図において、41は基板、42は透明導電膜、43は第1の半導体層、43sはソース用コンタクト層、43oドレイン用コンタクト層、44はレジスト、45は汚染層、46は第2の半導体層、47はゲート絶縁膜、48はゲート電極を示している。

【0034】この工程説明図によって、第3実施例のスタガ型薄膜トランジスタの製造方法を説明する。

第1工程(図5(A)参照)

基板41の上に、錫を添加したインジウム酸化物である透明導電膜42と、コンタクト層になる第1の半導体層43を従来から知られている成膜法によって連続的に堆積する。

【0035】第2工程(図5(B)参照)

次いで、第1の半導体層43の上の全面にレジスト44を塗布し、フォトリソグラフィ技術によってパターニングして、第1の半導体層43を分割してソース用コンタクト層43sとドレイン用コンタクト層43oを形成する。このとき、第1の半導体層43は、ソース用コンタクト層43sとドレイン用コンタクト層43oとなる層であると同時に、透明導電膜42の保護層を兼ねるため、目的とするソース用コンタクト層43sとドレイン用コンタクト層43oより広くして、透明導電膜42の保護すべき部分にも残されている。

【0036】第3工程(図6(C)参照)

レジスト44を剥離したあとの表面にはレジスト残滓等からなる汚染層45が存在する。この段階で、基板全体を緩衝弗酸等によって、厚い酸化層を予め取り除いてもよく、その場合には、後述のプラズマによる表面の清浄化は、残存している薄い酸化膜を除くだけでよい。

【0037】つぎに、P-CVD装置内で、 $3 \times 10^{-6}$  Torrにまで粗引き後、基板温度を200℃程度に保ち、水素流量を300sccm供給して、雰囲気圧力0.6Torrに調製する。その後、13.56MHz-200Wの高周波によりプラズマを発生し、汚染層45を除去する。この基板の構造では、ソースコンタクト層43sとドレイン用コンタクト層43oが透明導電膜42の保護層を兼ねているので、新たな保護層を設ける必要がない。

【0038】水素プラズマによる清浄化処理時の基板温度が200℃以上になると、この保護層を兼ねるソースコンタクト層43sとドレイン用コンタクト層43oは、内部に浸透した水素と反応して膜質の劣化を生じる。本実施例においては、基板温度を25℃にしているので、水素による膜質の劣化は抑えられる。また、基板のバイアスを制御し、水素イオンが基板への入射するエネルギーを低減して、水素の浸入を抑えることができる。

【0039】第4工程(図6(D)参照)

汚染層45を除去した後、活性層となる、アモルファスシリコン層からなる第2の半導体層46、 $\text{SiN}_x$ 層からなるゲート絶縁膜47、ゲート電極48を連続的に形成する。その後、ゲート電極をレジストとし、素子分離を行うと、スタガ型薄膜トランジスタが形成される。

【0040】本実施例の薄膜トランジスタの製造法では、簡易なプロセスにもかかわらず、コンタクト層と活性層の界面に存在する不純物を著しく低減でき、量産性に優れている。

【0041】(第4実施例) 水素を用いたプラズマによる $\alpha\text{-Si}$ 表面の清浄化を行う際、特に、室温で表面処理を行うことができれば、反応装置内の温度を調節する時間を要しないから、基板の仕込みから表面処理までの処理時間を短縮することができる。

【0042】一方、その上に成長させる膜が $\alpha\text{-Si}$ である場合には、基板温度にして200℃程度ある方が膜質は優れている。したがって、枚葉式の処理装置で表面の清浄化と成膜を同一の反応室で行う場合、清浄化温度と成膜温度を交互に制御する必要があり、冷却加熱に要する時間が無駄になり、生産性が低下する。

【0043】そこで、本実施例では、表面の清浄化を行う反応室と被膜の成長を行う成膜室を別に設けその間を真空密に接続し、清浄化と成膜に適した温度に各々制御することによって生産性の向上を図っている。

【0044】図7は、第4実施例の薄膜素子製造装置の構成説明図である。この図において、51は基板、52は第1の半導体層、53は汚染層、54はプラズマエッチング装置、55はサセプタ兼電極、56はエッチングガス導入管、57は電極、58はプラズマ、59は連絡通路、60は気相成膜装置、61はサセプタ兼電極、62は原料ガス導入管、63は電極、64はプラズマ、65は第2の半導体層を示している。

【0045】この実施例においては、まず、第1の半導体層52が形成されその表面に汚染層53が付着した基板51をプラズマエッチング装置54内のサセプタ兼電極55の上に載置し、プラズマエッチング装置54内を排気した後、エッチングガス導入管56を経てエッチングガスを導入し、サセプタ兼電極55と電極57の間に電圧を印加して放電を生起させてプラズマ58を形成して、第1の半導体層52の表面上の汚染層53をエッチングして清浄化する。

【0046】次いで、第1の半導体層52の上の汚染層53を除去して清浄化した基板51を、連絡通路59を通して、気相成膜装置60内のサセプタ兼電極61の上に移し、原料ガス導入管62を経て原料ガスを導入し、サセプタ兼電極61と電極63の間に電圧を印加して放電を生起させてプラズマ64を形成して、第1の半

導体層52の上に第2の半導体層65を成長する。

【0047】この実施例においては、表面の清浄化を行うプラズマエッチング装置54と被膜の成長を行う気相成膜装置60を別に設けその間を連絡通路によって接続し、各々の装置で、その装置におけるプロセスに適する温度に制御するため生産性の向上を図ることができる。また、清浄化室と仕込み室を兼用したり、または、大気の混入を防ぐために、仕込み室を別に用意することも可能である。

【0048】

【発明の効果】以上説明したように、本発明の薄膜素子の製造方法によると、半導体層、絶縁体層、金属層等を成膜する前に行う下地表面の清浄化を大気と遮断した状態で行うことができるため、下地表面が再汚染されることなく、高い生産性を持ち、さらに、下地表面に損傷を与えないという効果を奏し、液晶表示装置等の製造に適用した場合、それらの品質向上や生産性向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の薄膜素子の製造方法の原理説明図である。

【図2】基板温度とエッチングレートの関係図である。

【図3】第1実施例において処理される半導体基板の構成図である。

【図4】第2実施例において処理される半導体基板の構成図である。

【図5】(A)、(B)は、第3実施例のスタガ型薄膜トランジスタの製造工程図(1)である。

【図6】(C)、(D)は、第3実施例のスタガ型薄膜トランジスタの製造工程図(2)である。

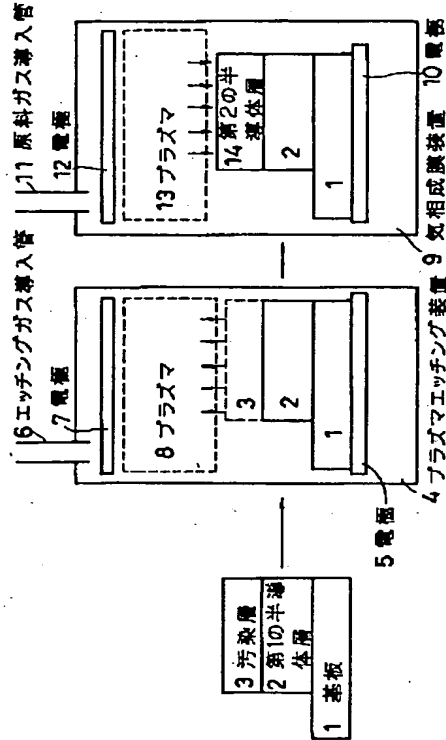
【図7】第4実施例の薄膜素子製造装置の構成説明図である。

【符号の説明】

- 1 基板
- 2 第1の半導体層
- 3 汚染層
- 4 プラズマエッチング装置
- 5 サセプタ兼電極
- 6 エッチングガス導入管
- 7 電極
- 8 プラズマ
- 9 気相成膜装置
- 10 サセプタ兼電極
- 11 原料ガス導入管
- 12 電極
- 13 プラズマ
- 14 第2の半導体層

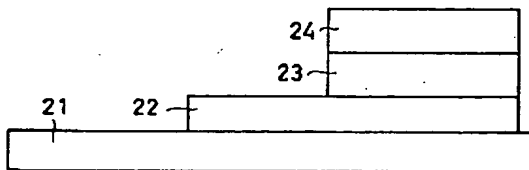
【図1】

本発明の薄膜素子の製造方法の原理説明図



【図3】

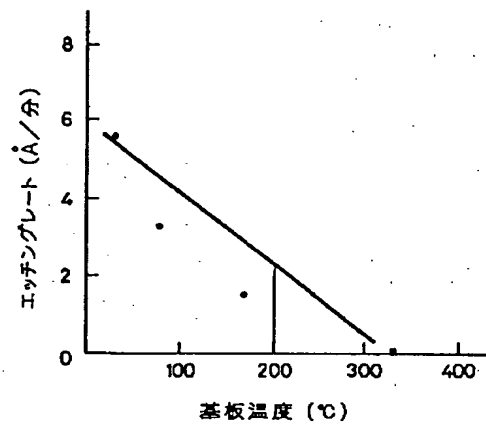
第1実施例において処理される半導体基板の構成図



21: 基板  
22: 導電膜  
23: 半導体層  
24: 汚染層

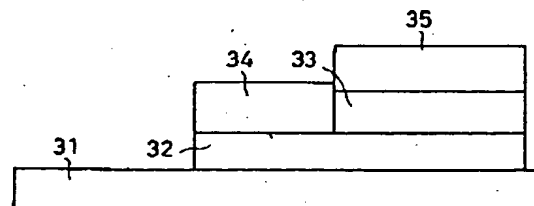
【図2】

基板温度とエッチングレートの関係図



【図4】

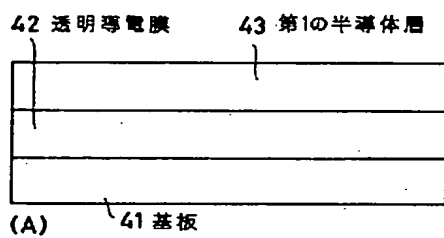
第2実施例において処理される半導体基板の構成図



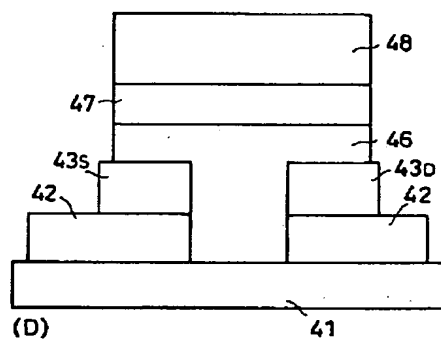
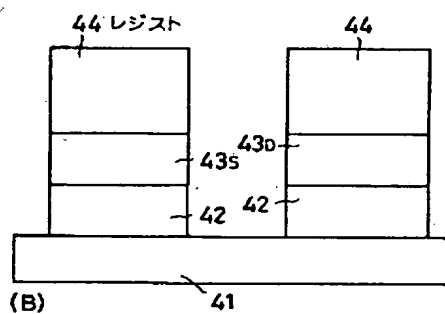
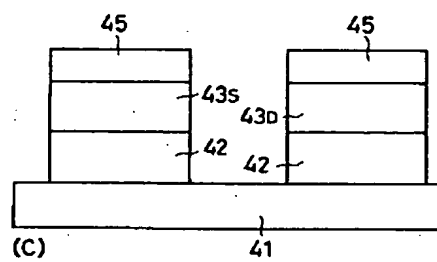
31: 基板  
32: 透明導電膜  
33: 半導体層  
34: 保護膜  
35: 汚染層



【図5】

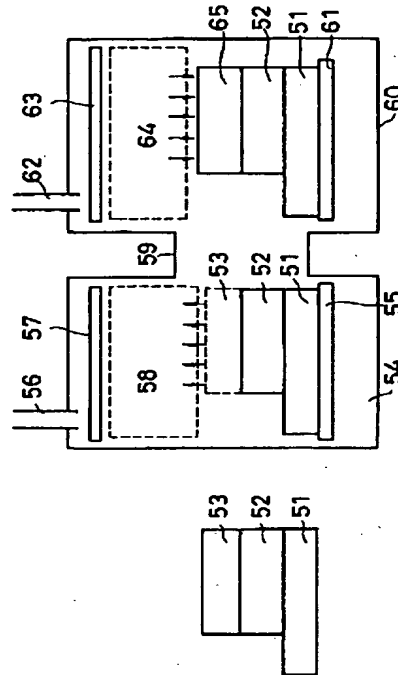
第3実施例のスタガ型薄膜トランジスタの  
製造工程図(1)

【図6】

第3実施例のスタガ型薄膜トランジスタの  
製造工程図(2)

【図7】

第4実施例の薄膜素子製造装置の構成説明図



フロントページの続き

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
C 3 0 B 25/02		Z 9040-4G		
G 0 9 F 9/30	3 1 0	6447-5G		
H 0 1 L 21/205				
29/784				